

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(c) 2000 JPO & JAPIO. All rts. reserv.

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 03-036767 [JP 3036767 A]

PUBLISHED: February 18, 1991 (19910218)

INVENTOR(s): OKA HIDEAKI

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)
, JP (Japan)

APPL. NO.: 01-172327 [JP 89172327]

FILED: July 04, 1989 (19890704)

INTL CLASS: [5] H01L-029/784; H01L-021/205

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIC KEYWORD:R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1061, Vol. 15, No. 165, Pg. 159,
April 25, 1991 (19910425)

PURPOSE: To obtain a gate insulating film for an insulated gate type field effect transistor with high gate insulating withstand voltage and low interface level density by forming the gate insulating film of the insulated gate type field effect transistor through plasma CVD process using monosilane derivative gas containing at least one element selected from chlorine and fluorine.

CONSTITUTION: A gate insulating film 104 is formed by plasma CVD process using monosilane derivative gas containing at least one element selected from chlorine and fluorine. According to one example of the film forming method, dichlorosilane and oxygen or nitrous oxide are introduced in a plasma CVD device as reaction gas, and substrate temperature is held at 200 deg.C-450 deg.C and a high frequency voltage is applied to decompose the gas to form the oxide film. In addition to this, the film formation carried out by mixing hydrogen chloride with monosilane or monosilane derivative leads to the same effect.

DIALOG(R)File 352:Derwent WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

008587335 **Image available**

WPI Acc No: 1991-091367/199113

XRAM Acc No: C91-039183

XRPX Acc No: N91-070525

Mfr. of insulated-gate FET - by forming gate insulation film by plasma

CVD using mono-silane deriv. gas contg. chlorine or fluorine NoAbstract

Dwg 1/2

Patent Assignee: SEIKO EPSON CORP (SHIH)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 3036767	A	19910218	JP 89172327	A	19890704	199113 B

Priority Applications (No Type Date): JP 89172327 A 19890704

Title Terms: MANUFACTURE; INSULATE; GATE; FET; FORMING; GATE; INSULATE;
FILM; PLASMA; CVD; MONO; SILANE; DERIVATIVE; GAS; CONTAIN; CHLORINE;
FLUORINE; NOABSTRACT

Index Terms/Additional Words: FIELD; EFFECT; TRANSISTOR; CHEMICAL; VAPOUR;
DEPOSIT

Derwent Class: L03; U11; U12

International Patent Class (Additional): H01L-021/20; H01L-029/78

File Segment: CPI; EPI

⑩ 日本国特許庁(JP)

訂正有り
⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-36767

⑬ Int.Cl.³
H 01 L 29/784
21/205

識別記号 庁内整理番号

⑭ 公開 平成3年(1991)2月18日

7739-5F
9056-5F

H 01 L 29/78 3 1 1 G

審査請求 未請求 請求項の数 3 (全6頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 題 平1-172327

⑰ 出 願 平1(1989)7月4日

⑱ 発 明 者 岡 秀 明 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式
会社内

⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1) 絶縁ゲート型電界効果トランジスタのゲート絶縁膜を、塩素もしくは弗素のうちの少なくとも一方の元素を含むモノシラン誘導体ガスを用い、プラズマCVD法で形成したことを特徴とする半導体装置の製造方法。

2) 絶縁ゲート型電界効果トランジスタのゲート絶縁膜を、少なくとも塩化水素を用い、プラズマCVD法で形成したことを特徴とする半導体装置の製造方法。

3) 前記絶縁ゲート型トランジスタのチャンネル領域の少なくとも一部が非単結晶半導体であることを特徴とする請求項1又は請求項2記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置の製造方法に係わり、特

に、絶縁ゲート型電界効果トランジスタのゲート絶縁膜の形成方法に関する。

〔従来の技術〕

近年、三次元ICや、大型で高解像度の液晶表示パネルや、高速で高解像度の密着型イメージセンサ等へのニーズが高まるにつれて、低温で良質のゲート絶縁膜を形成する技術が重要となってきた。熱酸化法は、900～1200℃程度の高温プロセスであるため、(1)安価なガラス基板上に素子を形成できない。(2)三次元ICでは下層部の素子に悪影響(不純物の再分布等)を与える等の問題があり、CVD法等で低温で酸化膜を形成する技術が検討されている。

〔発明が解決しようとする課題〕

ところが、従来のCVD法で形成した酸化膜は、ゲート絶縁耐圧が低く、界面単位密度が高い等の問題があり、実用レベルの素子を安定して形成することが困難であった。そこで本発明はこの様な問題点を解決するものであり、その目的とするところは、ゲート絶縁耐圧が高く、界面単位密度が

低い絶縁ゲート型電界効果トランジスタ用のゲート絶縁膜の形成方法を提供するところにある。

〔課題を解決するための手段〕

本発明の半導体装置の製造方法は、絶縁ゲート型電界効果トランジスタのゲート絶縁膜を、塩素もしくは弗素のうちの少なくとも一方の元素を含むモノシラン誘導体ガスを用い、プラズマCVD法で形成したことを特徴とする。

更に、絶縁ゲート型電界効果トランジスタのゲート絶縁膜を、少なくとも塩化水素を用い、プラズマCVD法で形成したことを特徴とする。

〔実施例〕

第1図は、本発明の実施例における半導体装置の製造工程図の一例である。尚、第1図では半導体素子として薄膜トランジスタ(TFT)を形成する場合を例としている。

第1図において、(a)は、ガラス、石英等の絶縁性非晶質基板、もしくは SiO_2 等の絶縁性非晶質材料層等の絶縁性非晶質材料101上にシリコン層102を形成する工程である。成膜条件の一例とし

ては、LPCVD法で500℃～580℃程度で膜厚100Å～2000Å程度のシリコン膜を形成する等の方法、プラズマCVD法で基板温度を室温～600℃程度に保持し、モノシラン若しくはモノシランを水素、アルゴン、ヘリウム等で希釈したガスを反応室内に導入し、高周波エネルギーを加えガスを分解して所望の基板上にシリコン層を膜厚100Å～2000Å程度形成する等の方法がある。ただし、成膜方法はこれに限定されるものではなく、例えば、スパッタ法、蒸着法、EB蒸着法、MBE法等で非晶質シリコン、若しくは微結晶シリコンを形成する方法がある。

第1図(b)は、該シリコン層102を熱処理等により結晶成長させる工程である。熱処理条件は、工程(a)のシリコン層の成膜方法によってその最適条件が異なる。

例えば、LPCVD法で成膜した場合は、550℃～650℃程度で2～50時間程度窒素もしくはAr等の不活性ガス雰囲気中で熱処理することで多結晶シリコン層103が形成される。

一のアニールを省くこともできる。

続いて、第二のアニールを行う。低い成膜温度で形成された非晶質シリコン膜は550℃～650℃程度の比較的低温の熱処理を数時間～40時間程度行なうと、水素の脱離と結晶成長が起こり、結晶粒径1～2μm程度の大粒径の多結晶シリコンが形成される。尚、第一のアニール及び第二のアニールとも所定のアニール温度まで昇温する際に短時間で急激に温度を上昇させるのは好ましくない。その理由は、温度を上昇するにつれて(特に、300℃を越えると)膜中の水素の脱離が起こり、昇温速度が急激であると膜中に欠陥を形成し易くなる。場合によってはピンホールができたり、膜が剥離することもある。少なくとも300℃以上の温度では20℃/分よりも遅い昇温速度(5℃/分よりも遅い昇温速度が特に望ましい)で温度を徐々に上昇すると膜中の欠陥は少なくなる。尚、昇温方法の詳細は後述する。

又、プラズマCVD法で形成した場合は、例えば、成膜時の基板温度によって以下に述べるような違いがある。

(1) 基板温度が室温～150℃程度の比較的低温で成膜した膜は、膜中に多量の水素を含む非晶質シリコンになるが、200～300℃程度で成膜した膜と比べてより低温の熱処理で膜中の水素を抜くことが出来る。熱処理条件の一例を以下に述べる。プラズマCVD反応室内で成膜後の非晶質シリコン膜に第一のアニールを行う。成膜温度が低い非晶質シリコン膜はポーラスな膜であるため、成膜後そのまま大気中に取り出すと膜中に酸素等が取り込まれ易く、膜質低下の原因となるが、大気中に取り出す前に適切な熱処理を行うと膜の緻密化が成され、酸素等の取り込みが防止される。熱処理温度は300℃以上が望ましく、400～500℃程度まで温度を上げると特に効果大きい。尚、熱処理温度が300℃未満であっても熱処理による膜の緻密化の効果はある。但し、真空を破らずに連続してアニールを行う場合は第

(2) 基板温度が150℃～300℃程度で成膜した膜は、上述の低温で形成した非晶質シリコ

ン膜に比べて、膜中の水素量は減少するが水素が脱離する温度はより高温側にシフトする。ただし、成膜後の膜は低温で形成した膜に比べて緻密であるため上述の第一のアニールを省くこともできる。第二のアニール条件は、550℃～850℃程度の熱処理を数時間～40時間程度行くと、水素の脱離と結晶成長が起こり、結晶粒径1～2μmの大粒径の多結晶シリコンが形成される。尚、550℃～850℃までの昇温方法の詳細は後述するが、(1)の場合と同様に少なくとも300℃以上の温度では20℃/分(望ましくは、5℃/分)よりも速い昇温速度で温度を徐々に上昇すると膜中の欠陥が少なくなり望ましい。

(3) 基板温度が300℃を越えると膜中の水素量はさらに減少するが、550℃～850℃程度のアニールでは水素の脱離が起こり難くなるため、前記温度よりもより高い温度での熱処理が重要となる。尚、基板温度が500℃程度以上で形成した膜を固相成長させた場合は、 $\langle 110 \rangle$ もしくは $\langle 100 \rangle$ に配向した多結晶シリコンが得ら

れる。TFTの界面単位密度の低減や電界効果移動度の向上等の効果がある。

第1図(c)は、工程(b)より高い所定の熱処理温度で該多結晶シリコン層103を熱処理する工程である。尚、工程(c)は、省くこともできるが、結晶化率を向上させる為に、重要な工程である。工程(b)で固相成長法で結晶成長させた多結晶シリコン層103の結晶化率は必ずしも高くない。特に、LPCVD法で500℃～560℃程度の比較的低温で形成したシリコン膜(非晶質シリコン、若しくは非晶質相中に微少な結晶領域が存在する微結晶シリコンになっている。)を熱処理で固相成長させた場合は、その結晶化率は、50%～70%程度と低い。そこで、工程(c)で工程(b)より高い温度で熱処理することで、該多結晶シリコン層の未結晶化領域を結晶化させる工程を設けることが重要となる。その結果、結晶化率を99%以上に高めることができる。熱処理温度としては、700℃～1200℃程度の間に最適値が存在する。但し、基板としてガラスを用いた

場合は、上述のような高温にさらすことはできないため、エキシマレーザ等の短波長光を照射することで半導体の表面層近傍のみを上述の温度まで昇温させ、半導体層と基板界面近傍は800℃程度以下になるように、照射強度及び照射時間を最適化することが重要である。一例としては、XeClエキシマレーザ(波長308nm)を用い、照射強度0.1～1.0 J/cm²程度で1～10パルス(1パルス数十ns)照射する等の条件が上述の条件を満たす。尚、レーザを照射した際、半導体層と基板の界面が800℃程度以下であれば、半導体層の表面を熔融させる条件の方が、半導体表面層の結晶性が良好となり好ましい。特に、該表面層は反転層が形成される領域であるため、表面層の結晶性向上は、トランジスタ特性の向上につながる。その他の熱処理方法としては、アニール炉で窒素若しくはAr等の不活性ガス雰囲気中で、例えば850℃ならば1時間程度、1000℃ならば10～20分程度熱処理する方法、ハロゲンランプ・アークランプ・赤外線ランプ・キ

セノンランプ・水銀ランプ等を用いたランプアニール、Arレーザ・He-Neレーザ等を用いたレーザアニール等もある。

第1図(d)は、ゲート絶縁膜104を、塩素もしくは弗素の内の少なくとも一方の元素を含むモノシラン誘導体ガスを用い、プラズマCVD法で形成する工程である。従来の常圧CVD法で形成した酸化膜は、絶縁耐圧が低く、Si/SiO₂の界面単位密度も高く、実用レベルの酸化膜を安定して形成できなかった。しかし、ジクロロシラン等の塩素もしくは弗素の内の少なくとも一方の元素を含むモノシラン誘導体ガスを用い、プラズマCVD法で成膜することで、良質の酸化膜を低温形成できることが、我々の検討の結果明らかとなった。成膜方法の一例としては、プラズマCVD装置に、反応ガスとして、ジクロロシラン(SiH₂Cl₂)及び酸素もしくは亜酸化窒素(N₂O)を導入し、基板温度200℃～450℃程度に保ち、高周波を印加しガスを分解し、酸化膜を成膜する等の方法がある。尚、ジクロロシランの代わ

りに、モノクロロシラン(SiH_2Cl)、三塩化シラン(SiHCl_3)、四塩化珪素(SiCl_4)、モノフルオロシラン(SiH_2F)、ジフルオロシラン(SiH_2F_2)、トリフルオロシラン(SiHF_3)、四弗化珪素(SiF_4)等の、塩素もしくは弗素の内の少なくとも一方の元素を含むモノシラン誘導体ガスを用いてもよい。また、これらのガスの内の複数種を混合して用いてもよい、モノシランとこれらのガスを混合して用いてもよい。そのほかに、モノシランもしくはモノシラン誘導体ガスに塩化水素(HCl)を混合して成膜しても同様の効果がある。また、ジクロロシラン等のモノシラン誘導体ガスもしくは塩化水素等とモノシランを混合した場合、その混合比を時間と共に変化させる方法も有効である。即ち、成膜開始時は、ジクロロシラン等のモノシラン誘導体ガスもしくは塩化水素の比率を高くし、時間と共にモノシランの比率を高くする等の方法があり、絶縁耐圧を高くし、界面単位密度を低くするという効果がある。その理由は、以下のように推測され

第1図(e)は、半導体素子を形成する工程である。尚、第1図(e)では、半導体素子としてTFTを形成する場合を例としている。図において、104はゲート絶縁膜、105はゲート電極、106はソース・ドレイン領域、107は層間絶縁膜、108はコンタクト穴、109は配線を示す。TFT形成法の一例としては、ゲート電極を形成後、ソース・ドレイン領域をイオン注入法、熱拡散法、プラズマドーピング法、イオンシャワードーピング法等で形成し、層間絶縁膜をCVD法、スパッタ法、プラズマCVD法等で形成する。さらに、該層間絶縁膜にコンタクト穴を開け、配線を形成することでTFTが形成される。基板としてガラスを用いた場合のソース・ドレイン領域の形成方法は、イオン注入法でB、P等の不純物を打ち込んだ後、600℃程度の低温で数時間〜数十時間熱処理することで不純物の活性化を行う方法の他、イオンシャワードーピング法、プラズマドーピング法等が有効である。

本発明は、従来の熱酸化法やCVD法に代わり、

成膜時に塩素もしくは弗素等の元素を含むモノシラン誘導体ガスもしくは塩化水素の比率を高めることで、シリコン層102上の自然酸化膜や有機物・金属等の汚染物質を除去しつつ、酸化膜を成膜することで、界面単位密度を低減することができる。続いて、モノシランガスの比率を高めることで、膜中に混入する塩素や弗素の量を低減させ、絶縁耐圧の高い皮質の酸化膜を形成することができる。第2図(a)及び第2図(b)にガス流量のタイムチャートの概略図を示す。第2図において、201はモノシランガスの流量を、202はジクロロシランガスの流量を示す。第2図(a)では、成膜開始時にはジクロロシランが100%であり、時間と共に、ジクロロシランの流量を減らし、モノシランの流量を増やす場合を示している。また、第2図(b)ではガス流量をステップ的に変える場合を示している。尚、ガス流量のタイムチャートは第2図に限定されるものではなく、成膜開始時にジクロロシラン等のシラン誘導体ガスもしくは塩化水素等の比率を高くする点が重要である。

プラズマCVD法で低温で良質の酸化膜を形成できる点が重要である。以下にその詳細を述べる。従来のCVD法では、前述の通り絶縁耐圧が低く、 Si/SiO_2 界面単位密度が高く、実用レベルの酸化膜を安定して形成することができなかった。X、熱酸化法は、900℃〜1200℃程度の高温プロセスであるほか、多結晶シリコン上では、絶縁耐圧が3〜4MV/cm程度と低いという問題があった。しかし、本発明によるプラズマCVD法で形成した酸化膜は、熱酸化法で形成した膜よりも絶縁耐圧が向上し、7〜8MV/cm程度になることが明らかとなった。その理由は、多結晶シリコンを熱酸化した場合は、結晶粒界に沿って酸化が進み易いため、酸化膜が突起状になり電界集中が起こり易い。一方、プラズマCVD法で酸化膜を低温形成した場合は、結晶粒界に沿った酸素の拡散がほとんどなく、上述のような電界集中が起こり難いため、絶縁耐圧が向上するものと考えられる。更に、結晶粒界に沿った酸化は、結晶粒界部に高い電位障壁を形成するため、TFT

の電界効果移動度を低下させる原因ともなっていたが、本発明による酸化膜を用いた場合は、結晶粒界面部に沿った酸素の拡散が殆ど無く、粒界面部の電位障壁を低くできる為、電界効果移動度が大きく向上するという効果もある。更に、ジクロロシラン等のシラン誘導体ガス、もしくは塩化水素等を用い、シリコン層102上の自然酸化膜や有機物・金属等の汚染物質を除去しつつ、酸化膜を成膜することで、界面準位密度を低減することができる点も重要である。

又、本発明に基づくプラズマCVD法による酸化膜は、450℃程度以下の低温で成膜できるため、安価なガラス基板を用いた低温プロセスに適用することもできる。

尚、第1図の実施例では、ジクロロシラン等のシラン誘導体ガスを用いて、プラズマCVD法で酸化膜を形成する場合を示したが、本発明はこれに限らず、上述のガスを用いて、CVD法、ECR-プラズマCVD法、光CVD法等で酸化膜を形成しても、絶縁耐圧が高く、界面準位密度の低

した場合、その傾向がより顕著になる。そこで、チャンネル領域に $10^{11} \sim 10^{12} / \text{cm}^2$ 程度の不純物をドーピングすると、 V_{th} のシフトを抑えることができる。例えば、第1図において、ゲート電極を形成する前に、イオン注入法等でB（ボロン）等の不純物を $10^{11} \sim 10^{12} / \text{cm}^2$ 程度のドーピング量で打ち込む等の方法がある。特に、ドーピング量が前述の値程度であれば、Pチャンネルトランジスタ、Nチャンネルトランジスタ共オフ電流が最小になるように、 V_{th} を制御することができる。従って、CMOS型のTFT素子を形成する場合においてもPch、Nchを選択的にチャンネルドーピングせず、全面を同一の工程でチャンネルドーピングすることもできる。

尚、本発明は、第1図の実施例に示した様に、高性能なpoly-Si TFTを低温で形成できる大きなメリットがあるが、これに限らず、単結晶シリコン上のゲート絶縁膜、多結晶シリコン・微結晶シリコン・非晶質シリコン等の非単結晶シリコン上のゲート絶縁膜等を低温形成する際、極

い酸化膜を形成することができ、極めて有効である。

本発明に基づく半導体装置の製造方法を用い、低温プロセスで形成した多結晶シリコンTFT（Nチャンネル）の電界効果移動度は、 $150 \sim 200 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 程度であり熱酸化法で形成したTFTよりも優れた特性が得られた。

さらに、前記TFT製造工程に水素ガスもしくはアンモニアガスを少なくとも含む気体のプラズマ雰囲気中に半導体素子をさらす工程等を設け、前記TFTを水素化すると、結晶粒界面に存在する欠陥密度が低減され、前記電界効果移動度はさらに向上する。

また、チャンネル領域に不純物をドーピングして、 V_{th} （しきい値電圧）を制御する手段も極めて有効である。固相成長法で形成した多結晶シリコンTFTでは、Nチャンネルトランジスタがデプレッション方向に V_{th} がシフトし、Pチャンネルトランジスタがエンハンスメント方向にシフトする傾向がある。又、上記TFTを水素化し

めて有効な製造方法となる。又、本発明はTFTに限らず、絶縁ゲート型半導体素子全般に適用できる。更に、本発明の酸化膜はゲート絶縁膜以外にも、層間絶縁膜・パッシベーション膜等にも用いることができ、絶縁耐圧が高い絶縁膜を低温形成できるという大きなメリットがある。

【発明の効果】

以上述べたように、本発明によれば絶縁耐圧が高く、界面準位密度の低い酸化膜を低温で形成することができる。特に、多結晶シリコン上に本発明によるプラズマCVD法で酸化膜を形成した場合は、多結晶シリコンを熱酸化し酸化膜を形成した場合よりも、絶縁耐圧を高く、界面準位密度を低くすることができた。更に、熱酸化膜よりもTFTの電界効果移動度が大幅に向上するという効果もある。その結果、絶縁性非晶質材料上に高性能な半導体素子を形成することが可能となり、大型で高解像度の液晶表示パネルや高速で高解像度の密着型イメージセンサや三次元IC等を容易に形成できるようになった。又、本発明による酸化

膜の形成方法は低温プロセスであるため、基板として安価なガラス基板を用いることも可能である。三次元ICにおいては下層部の素子に影響（例えば、不純物の再分布等）を与えずに上層部の素子を形成することもできる。

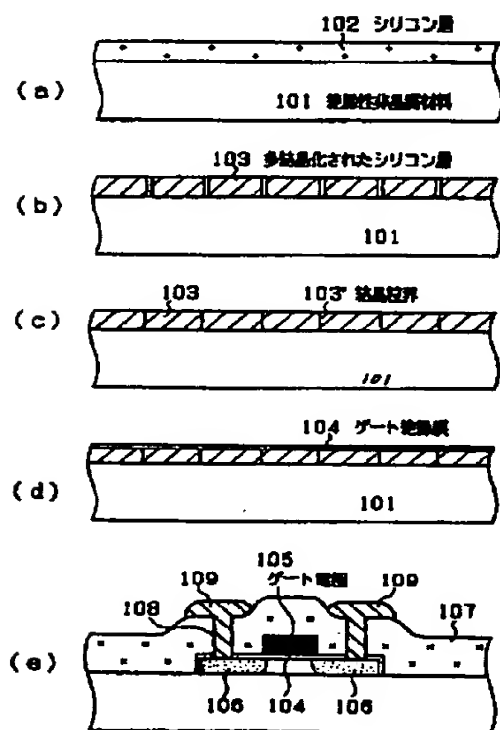
また、本発明は、第1図の実施例に示したTFT以外にも、絶縁ゲート型半導体素子全般に適用できる。

4. 図面の簡単な説明

第1図(a)～(e)は本発明の実施例における半導体装置の製造工程図である。

第2図(a)及び第2図(b)はガス流量のタイムチャートの概略図である。

- 101 ... 絶縁性非晶質材料
- 102 ... シリコン層
- 103 ... 多結晶シリコン層
- 104 ... ゲート絶縁膜
- 105 ... ゲート電極
- 106 ... ソース・ドレイン領域

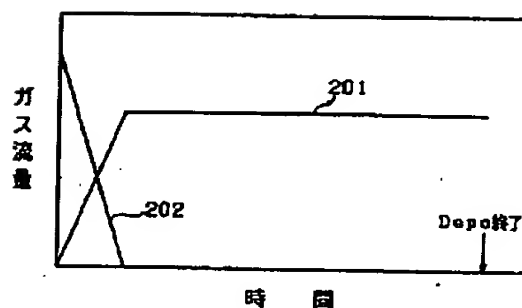


第1図

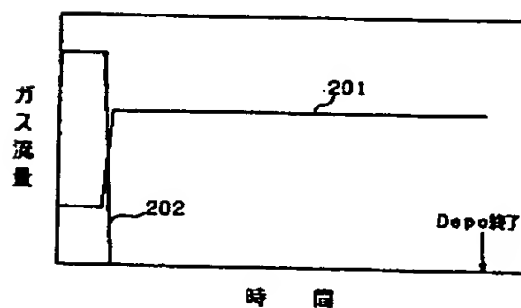
- 107 ... 層間絶縁膜
- 108 ... コンタクト穴
- 109 ... 配線
- 201 ... モノシランの流量
- 202 ... ジクロロシランの流量

以上

出願人 セイコーエプソン株式会社
代理人 井理士 鈴木喜三郎（他1名）



第2図(a)



第2図(b)